

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) SEMICONDUCTOR DEVICE

(11) 58-219757 (A) (43) 21.12.1983 (19) JP

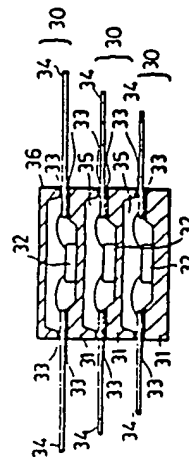
(21) Appl. No. 57-103304 (22) 16.6.1982

(71) TOKYO SHIBAURA DENKI K.K. (72) MASAMICHI SHINDOU(1)

(51) Int. Cl. H01L23/04, H01L21/60, H01L23/48

PURPOSE: To obtain a semiconductor device which can be manufactured by means of manufacturing equipments of a conventional semiconductor device and can be mounted at high density at a low cost by a method wherein DIP type package semiconductor devices are laminated in a plurality.

CONSTITUTION: A semiconductor chip 32 adheres on an alumina base 31 of the main body, and external lead-out leads 34 fixed with low melting point glass 33 and the semiconductor chip 32 are wire-bonded. The packages of such semiconductor devices are stacked in a plurality as the unit packages 30. Thereat, a recess 35 is formed on the back surface of the main body of the package 30 which serves as the upper stage, the upper stage package 30 is so superposed as to seal the lower stage package 30, and the uppermost stage package 30 is sealed with an alumina cap 36. Since the package main bodies are laminated in this manner, the occupation area to a printed substrate can be reduced remarkably in the case of mounting on the printed substrate, etc.



⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭58—219757

⑫ Int. Cl.³
H 01 L 25/04
21/60
23/48

識別記号

庁内整理番号
7638—5F
6819—5F
7357—5F

⑬ 公開 昭和58年(1983)12月21日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑮ 特 願 昭57—103304
⑯ 出 願 昭57(1982)6月16日
⑰ 発 明 者 進藤政道
川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内

⑱ 発 明 者 桜井寿春
川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内
⑲ 出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑳ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体チップを敷置し或は収納しこの半導体チップに接続する外部導出リードを両側面に有する複数の単位外回路を具備し、上記単位外回路は積層して一体化されていることを特徴とする半導体装置。

(2) 上記単位外回路は上段側の単位外回路の底面がこの単位外回路直下の単位外回路を封止して積層し、最上段の単位外回路はこの単位外回路封止用の蓋を備えていることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 上記単位外回路はサーミスタ型のものであることを特徴とする特許請求の範囲第1項または第2項記載の半導体装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、パッケージの両側面より外部導

出リードの引き出される外回路を有する半導体装置に関する。

〔発明の技術的背景とその問題点〕

電子機器の小型化、多機能化が近年急速に進んでおり、それに伴い、各種半導体装置をいかに高密度に実装するかについて様々な技術的検討がなされている。現在、こういった高密度実装技術の中で実用化されているものに TAB 技術と呼ばれるものがある。

この TAB 技術とは、第1図に示すようににチップ部に孔11を有する長尺のポリイミドテープ12に銅箔等でリードパターン13を形式し、このリードパターン13のフィンガリード14と呼ばれる先端部を上記孔11において突出させておき、これに、金のボンパ15を上面に有する半導体チップ16を、逆脱的にボンディングしてゆくもので、その後、図のa-a'でフィンガリード14を切断し、基板上の導体やリードフレームに接続する技術である。この TAB 技術は、一般の DIP (デュアルインライン) の

パッケージのものに比べ形状を、数分の1程度に小型化できるが、半導体チップ16に金等によってパンプ15を形成する必要がある。このパンプ15の形成工程は高度な技術を必要とする。また、このTAB技術による実装は、組み立て技術が特殊で汎用性に欠点がある。

上記のような、TAB技術の他に、チップキャリアタイプパッケージによる高密度実装化が行なわれる場合がある。このチップキャリアタイプパッケージというのは、例えば第2図に示すように、内部に半導体チップを収納した平形のセラミック製外囲器17の周囲に部材18、18…を設け、内部の半導体チップと接続した金属電極19、19…を、この部材18、18…から上記外囲器17底面にかけて形成したものである。このようなチップキャリアタイプパッケージ20は例えば第3図に示すように、基板21上に形成された導体パターン22と、金属電極19、19…の下部とを半田付けして実装する。

面図で、本体のアルミナ製基台31の上に半導体チップ32が接着し、基台31の両側面に低融点ガラス33によって固定された外部導出リード34と半導体チップ32をワイヤボンディングしたものである。このような半導体装置の外囲器を単位外囲器30として、第5図に示すように複数積み重ねる。この際、上段となる単位外囲器30の本体裏面に凹部36を形成しておき、上段の単位外囲器30が下段の単位外囲器30を対止するように重ね、最上段の単位外囲器30はアルミナ製の蓋36で対止する。

上記で使用する単位外囲器30の基台31は現在広く使用されているいわゆるサーディップ(Ser-DIP)タイプパッケージの製造装置で安価に形成でき、第5図に示す装置は、アイマウントされた上記の安価な単位外囲器30の基台31と、ワイヤボンディングされた外部導出リード34とを順次低融点ガラスを流して覆出し、従来のサーディップタイプパッケージ用の伊等の組み立て装置に通すことにより製造できる。

このようにして実装するチップキャリアタイプのもものも、パッケージが小型で、かつ外部の基板21と金属電極19、19…との接続部は、殆んど面積を専有せず高密度実装が可能である。

しかし、この場合は、パッケージそのものの構造が特殊であり、組立コストが高いという欠点がある。

〔発明の目的〕

この発明は上記のような点に鑑みなされたもので、従来の半導体装置の製造設備を用いて製造可能であり、安価で高密度実装可能な半導体装置を提供しようとするものである。

〔発明の概要〕

すなわち、この発明に係る半導体装置は、現在広く用いられているDIP型のパッケージの半導体装置を複数積層するようにしたものである。

〔発明の実施例〕

以下図面を参照してこの発明の一実施例につき説明する。第4図はサーディップタイプのDIP型パッケージにおける本体の蓋を除いた断

すなわち一般的で汎用性のある設備を利用し、少い工程数で低コストに製造することができものである。

そして、この第5図に示す装置では半導体チップ32と外部導出リード34のボンディングされているパッケージの本体が積層されており、通常のDIP型パッケージの半導体装置をプリント基板等へ実装する場合に比べプリント基板での専有面積を著しく減少させることができる。第6図には上記のような半導体装置をプリント基板37に実装した場合を示す。尚、以下上記と同一構成成分には同一符号を付し説明を省略する。

また、第5図の場合では、上段の単位外囲器30裏面に凹部36を設けその直下の単位外囲器30を対止するようにしたが、第7図に示すように、それぞれの単位外囲器30は対止用の蓋36'付のものとして、それぞれの単位外囲器30の本体を接着剤等で固定しても良い。

上記のようなサーディップタイプの単位外

器30を多段に積層するものは、比較的低廉で高い信頼性の気密封止を行なうことができるが、ナーディップタイプ程の高出力性を要求されない半導体素子には、例えば第8図に示すように密着封止型パッケージの単位外周器30を多段に積層するようにしても良い。この場合もパッケージの本体30を互換ることにより、特別のアセンブリ技術や高度な技術を用いずに低廉に高密度実装可能な半導体装置を製造できる。

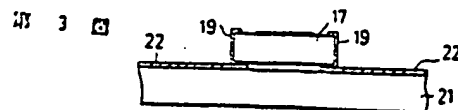
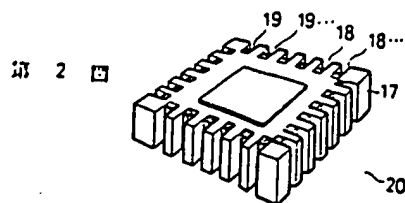
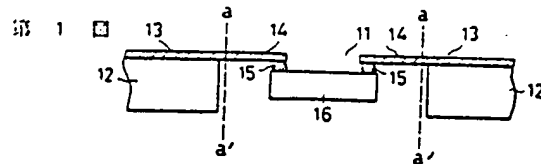
なお、単位外周器30を積層する際、本体の位置合わせが容易なように単位外周器30の本体それぞれに結合部を設ければさらに良い。

〔発明の効果〕

以上のようにこの発明によれば、ダイヤモンドまたは半導体チップおよびワイヤボンディングされたリードフレームを含む単位外周器を複数積層することにより、安価で高密度実装可能な半導体装置を提供できる。

4. 図面の簡単な説明

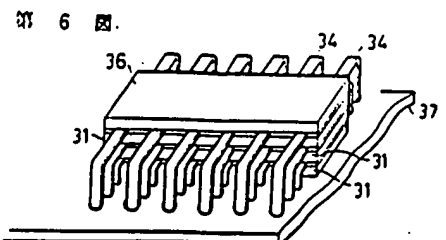
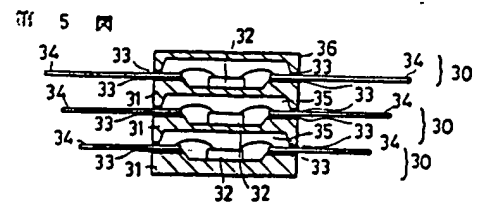
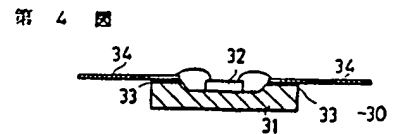
第1図は従来の半導体装置を説明する断面図、



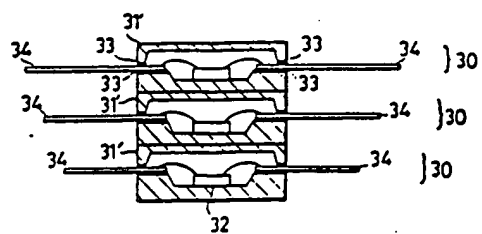
第2図は従来の半導体装置を示す斜視図、第3図は従来の半導体装置を示す断面図、第4図はこの発明の一実施例を説明する断面図、第5図はこの発明の一実施例を示す断面図、第6図はその実装状態を示す斜視図、第7図および第8図はそれぞれこの発明の他の実施例を示す断面図である。

30、38…単位外周器、31…基台、31'、36…芯、32…半導体チップ、33…低融点ガラス、34…外部導出リード。

出願人代理人 弁理士 鈴 江 成 孝



第 7 圖



第 8 圖

